

## LEVEL CONVERTING CIRCUIT

**Patent number:** JP62190923 (A)

**Publication date:** 1987-08-21

**Inventor(s):** NAKAMURA TATSU +

**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD +

**Classification:**

- international: **H03K19/003; H03K19/0185; H03K5/02;** (IPC1-7): H03K19/00; H03K5/00

- european: H03K19/003K4

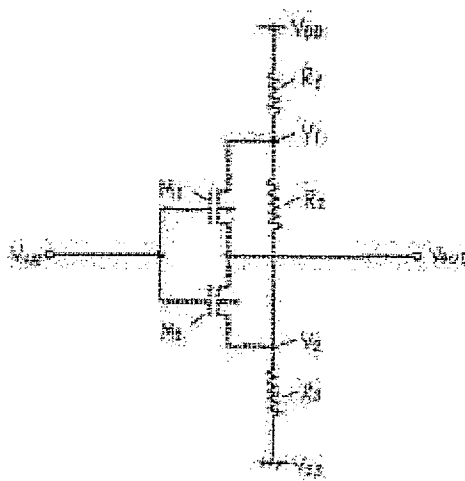
**Application number:** JP19860034521 19860218

**Priority number(s):** JP19860034521 19860218

### Abstract of JP 62190923 (A)

**PURPOSE:** To obtain an output voltage level which is not affected by manufacture condition and temperature by dividing a source voltage by resistors and obtaining terminal voltages corresponding to the high level and low level of a desired output voltage, and operating an inverted voltage circuit between the terminal voltages.

**CONSTITUTION:** The source voltage (VDD-VSS, VSS=0) is divided by the resistors R1, R2, and R3 to obtain voltages V1 and V2. A CMOS inverter is composed of transistors (TR) M1 and M2 and said terminal voltages V1 and V2 are used as operating voltages. When a signal with the amplitude of the source voltage VDD is inputted to an input VIN, the high-side terminal voltage V1 is outputted with the TR M1 on and the TR M2 off and the low-side terminal voltage V2 is outputted with the M2 on and the M1 off. The terminal voltages V1 and V2 are determined by the ratio of the resistances, so a constant value is obtained. Further, even if the resistances vary with temperature, the ratio of the resistances is fixed, so a constant output voltage is obtained.



Data supplied from the *espacenet* database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-190923

⑬ Int.Cl.<sup>4</sup>  
H 03 K 19/00  
5/00

識別記号  
1 0 1

庁内整理番号  
C-8326-5J  
7259-5J

⑭ 公開 昭和62年(1987)8月21日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 レベル変換回路

⑯ 特 願 昭61-34521

⑰ 出 願 昭61(1986)2月18日

⑱ 発 明 者 中 村 達 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

レベル変換回路

2、特許請求の範囲

抵抗器により電源電圧を多分割し、それらのうちから選定された2つの電圧を反転回路の動作電圧源として、それぞれ、高電圧側端子および低電圧側端子に供給することにより、電源電圧より振幅の小さい波形に変換するレベル変換回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、電源電圧振幅で動作しているロジック回路の出力振幅レベルをそれより低い他の電圧値に変換するレベル変換回路に関するものである。

従来の技術

従来のレベル変換回路では第3図に示すように、電源の2つの電圧値  $V_{DD}$ 、 $V_{SS}$  間に複数、たとえば、トランジスタ  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ 、 $M_{14}$  の4個を縦続接続して、それら間の電圧降下を利用して出力電圧のレ

ベル変換を実現している。2つの電源電圧値を  $V_{DD}$ 、 $V_{SS}$ 、4個の各トランジスタを、しきい値  $V_{TP}$  のP型MOSトランジスタ  $M_{11}$ 、 $M_{12}$  およびしきい値  $V_{TN}$  のN型MOSトランジスタ  $M_{13}$ 、 $M_{14}$  で第3図示の反転回路を構成すると、その入出力レベル  $V_{IN}$ 、 $V_{OUT}$  は、第4図のように、出力ハイレベルは  $V_{DD}-V_{TP}$ 、出力ロウレベルは  $V_{SS}+V_{TN}$  が得られる。

発明が解決しようとする問題点

このような従来の回路では、電圧レベルのシフト量がMOSトランジスタのしきい値によってきまるため、製造条件の影響を受け、常に一定の値を得ることが困難である。また、温度変化による変動も大きい。

本発明は、このような問題点を改善し、製造条件、温度の影響を受けない出力電圧レベルを得るためのレベル変換回路を提供することを目的としている。

問題点を解決するための手段

本発明は、上記問題点を解決するため、使用さ

れている電源電圧を抵抗器で多分割して所望の出力電圧のハイレベルとロウレベルとに相当する端子電圧を得、これらの各端子電圧間で反転電圧回路を動作させることによって出力波形のレベルを変換させるものである。

#### 作用

本発明は、上記した構成により、出力電圧レベルが、抵抗分割比によってきまるため、製造条件、温度に依存せず、安定な出力を得ることができる。

#### 実施例

第1図は、本発明のレベル変換回路であり、電源電圧の振幅で動作しているロジック回路の出力振幅を小さくする回路である。第2図に入出力波形を示す。電源電圧 ( $V_{DD}-V_{SS}$ , ただし  $V_{SS}=0$ ) を抵抗器  $R_1, R_2, R_3$  で分割し、次式で示される  $V_1, V_2$  の各電圧を得る。

$$V_1 = \frac{R_2 + R_3}{R_1 + R_2 + R_3} V_{DD}, \quad V_2 = \frac{R_3}{R_1 + R_2 + R_3} V_{DD}$$

P型MOSトランジスタM1とN型MOSトラン

ジスタM2によってCMOSインバータを構成し、動作電圧として、上記の各端子電圧  $V_1, V_2$  を用いる。

この回路の入力  $V_{IN}$  に電源電圧  $V_{DD}$  の振幅で信号が入力される場合、P型MOSトランジスタM1がオン、N型MOSトランジスタM2がオフの場合は、高い側の端子電圧  $V_1$  が出力され、N型MOSトランジスタM2がオン、P型MOSトランジスタM1がオフの場合は、低い側の端子電圧  $V_2$  が出力される。各端子電圧  $V_1, V_2$  は抵抗の比によってきまるため抵抗器  $R_1, R_2, R_3$  を同一工程で製造すると、抵抗の絶対値が変わっても各抵抗の変化分が均等であり、したがって、その比率が不変のため、一定の値が得られる。また、抵抗の温度変化があっても、抵抗の比は変わらないため、温度変化に対しても一定の出力電圧が得られる。抵抗器をMOS型トランジスタで製作した場合にも同様に利用することができる。

#### 発明の効果

以上述べてきたように本発明によれば、きわめ

て簡易な回路構成で、電源電圧の振幅の信号を、任意の電圧レベルに、しかも安定に変換することができ、きわめて有用である。

#### 4、図面の簡単な説明

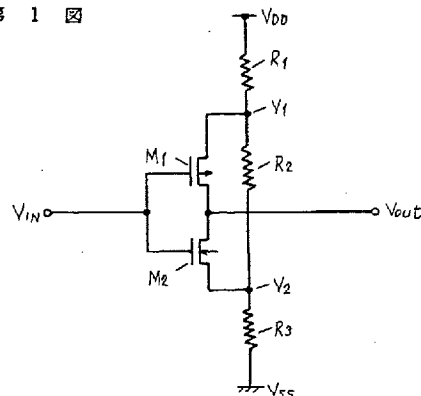
第1図は本発明の一実施例におけるレベル変換回路図、第2図は本発明の入出力波形を示す波形図、第3図は従来のレベル変換回路図、第4図は従来の回路の入出力波形を示す波形図である。

$R_1, R_2, R_3$  ……抵抗器、 $M_1$  ……P型MOSトランジスタ、 $M_2$  ……N型MOSトランジスタ。

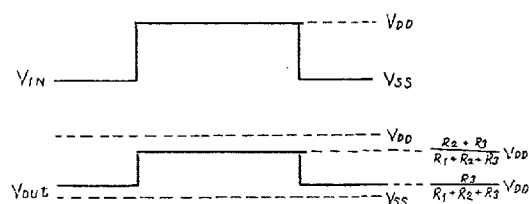
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

$R_1, R_2, R_3$  抵抗器

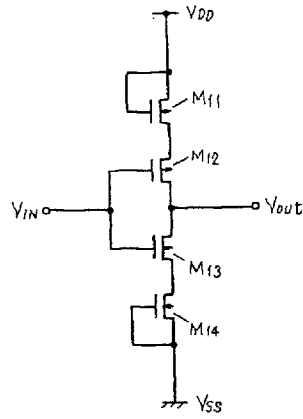
第 1 図



第 2 図



第 3 図



第 4 図

